

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196907

(43)Date of publication of application : 19.07.2001

(51)Int.Cl. H03K 5/26

(21)Application number : 2000-009944

(71)Applicant : NEC ENG LTD

(22)Date of filing : 13.01.2000

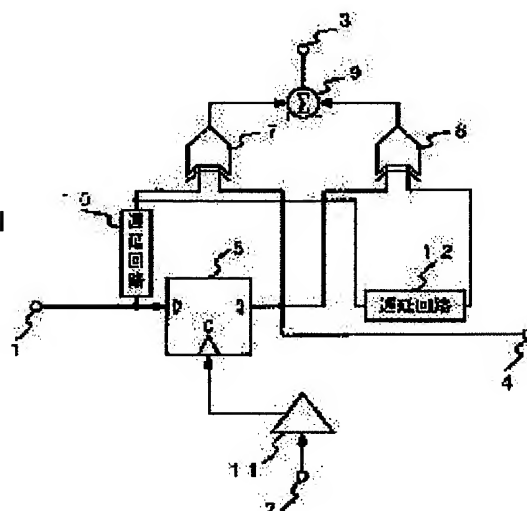
(72)Inventor : UCHIDA HIROAKI

(54) PHASE COMPARATOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a phase comparator circuit that employs a D flip-flop, enhances an output voltage characteristic with respect to a phase difference between a data signal and a clock signal, that is, a gain, and is employed for a PLL circuit or the like.

SOLUTION: An input terminal 1 is connected to a data input terminal D of a D-F/F 5 and an input of a delay circuit 10, a lock signal input terminal 2 is connected to a lock input terminal C of the D-F/F 5 via a clock amplifier 11. An output terminal 4, an input of a 1st EX-OR 7 and one input of a 2nd EX-OR 8 are connected to a Q output of the D-F/F 5. Furthermore, the other input of the 1st EX-OR 7 and an input of a delay circuit 12 are connected to an output of the delay circuit 10, and the other input of the 2nd EX-OR 8 is connected to an output of the delay circuit 12. Outputs of both the EX-OR 7, 8 are connected to an output terminal 3 via an adder 9.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-196907
(P2001-196907A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl.⁷

H 0 3 K 5/26

識別記号

F I

H 0 3 K 5/26

ターマート*(参考)

G 5 J 0 3 9

P

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願2000-9944(P2000-9944)

(22)出願日 平成12年1月13日(2000.1.13)

(71)出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72)発明者 内田 宏章

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74)代理人 100081710

弁理士 福山 正博

Fターム(参考) 5J039 JJ07 JJ13 JJ14 KK09 KK11

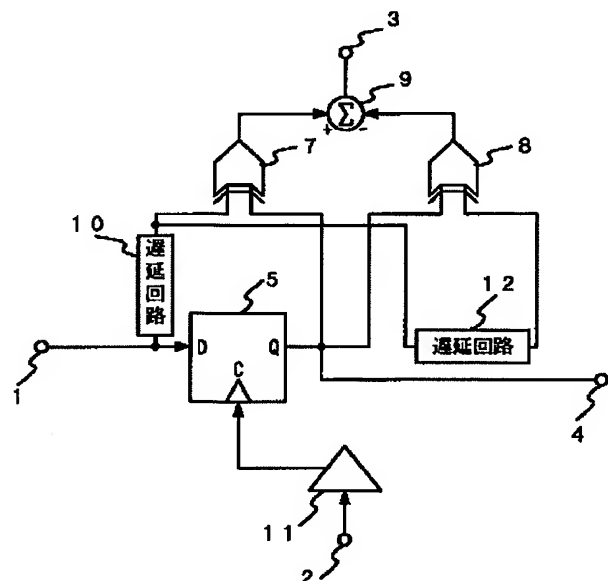
KK13 KK33 MM16

(54)【発明の名称】 位相比較回路

(57)【要約】

【課題】D型フリップフロップを使用する位相比較回路のデータ信号とクロック信号の位相差に対する出力電圧特性、即ち利得を改善するPLL回路等に使用される位相比較回路を提供する。

【解決手段】入力端子1がD-F/F5のデータ入力端子Dと遅延回路10の入力に接続され、クロック信号入力端子2はクロックアンプ11を介してD-F/F5のクロック入力端子Cに接続される。D-F/F5のQ出力には、出力端子4および第1EX-OR7の入力と第2EX-OR8の一方の入力が接続される。また、遅延回路10の出力には、第1EX-OR7の他方の入力と遅延回路12の入力が接続され、遅延回路12の出力には第2EX-OR8の他方の入力に接続される。これら両EX-OR7、8の出力は、加算器9を介して出力端子3に接続される。



【特許請求の範囲】

【請求項1】データ入力端子、クロック入力端子および出力端子を有するD型フリップフロップを使用し、前記データ入力端子および前記クロック入力端子に夫々入力されるデータ入力信号およびクロック信号の位相差に対応する出力を得る位相比較回路において、前記データ入力信号を第1遅延回路で遅延させた遅延入力信号および前記D型フリップフロップの出力を入力とする第1排他論理和回路と、前記D型フリップフロップの出力と前記データ入力信号を第2遅延回路で遅延させた遅延データ入力信号を入力とする第2排他論理和回路とを備え、前記両排他論理和回路の出力を加算して出力とすることを特徴とする位相比較回路。

【請求項2】前記第1遅延回路は、前記D型フリップフロップの内部遅延時間に対応する遅延時間を有することを特徴とする請求項1に記載の位相比較回路。

【請求項3】前記第2遅延回路は、前記D型フリップフロップの内部遅延時間に対応する遅延時間と前記クロック信号の1周期の和に対応する遅延時間を有することを特徴とする請求項1に記載の位相比較回路。

【請求項4】前記第2遅延回路は、前記第1遅延回路の出力端に接続され、前記D型クロック信号の1周期に対応する遅延時間を有することを特徴とする請求項1に記載の位相比較回路。

【請求項5】前記D型フリップフロップの前記クロック入力端子には、クロックアンプを介して前記クロック信号が入力されることを特徴とする請求項1乃至4のいずれかに記載の位相比較回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は位相比較回路、特に半導体集積回路により形成し、PLL（位相同期ループ）方式のクロック・データ識別再生回路等に好適である位相比較回路に関する。

【0002】

【従来の技術】位相比較回路は、データ信号をクロック信号で識別する時に、クロック信号の位相をデータ信号の中央位置である最適ポイントに自動調整させ場合等使用される。従来の位相比較回路は、C. R. Hogg, Jr. 著の文献「IEEE J. Lightwave Tech.」LT-3, pp. 1312~1312に開示されている。

【0003】先ず、図4を参照して、位相比較回路を使用する一般的なPLL方式のクロック・データ識別再生回路の構成および動作を説明する。図4の回路は、入力端子101および1対の出力端子102、103を有する位相比較回路104と、フィルタ105およびVCO（電圧制御発振器）106とにより構成される。

【0004】位相比較回路104の入力端子101から入力されるNRZ（ノーリターンゼロ）データ信号は、

VCO106からのクロック信号によって位相比較回路104で識別され、出力端子102へ出力される。ここで、位相比較回路104から入力データ信号とクロック信号の位相差によってパルスの幅が変化する信号を取り出し、フィルタ（低域通過フィルタ）105にて平均値化し、VCO106に帰還することで、VCO106からのクロック信号が、入力端子101からのデータ信号の最適位相ポイントに自動調整される。クロック信号は、出力端子103に出力することで、クロック信号とデータ信号とが識別再生される。

【0005】次に、図5は、従来の位相比較回路の構成を示すブロック図である。また、図6は、図5に示した位相比較回路の各部の動作を説明するタイミングチャートを示す。先ず、図5において、位相比較回路は、直列接続された1対のD型フリップフロップ回路（D-F/F）5および6と、1対の排他的論理和回路（EX-OR）7、8と、加算器9と、遅延回路10と、クロックアンプ（増幅器）11とにより構成される。この遅延回路10は、D-F/F5の内部遅延時間に対応する遅延時間を有する。

【0006】前段のD-F/F5のデータ入力端子Dには、入力端子1が接続され、入力データ信号をこのデータ入力端子Dと遅延回路10の一端に入力される。また、このD-F/F5の出力端子Qは、後段のD-F/F6のデータ入力端子Dに接続され、その出力端子Qは、位相比較回路の出力端子4に接続される。両D-F/F5、6のクロック入力端子Cには、クロック入力端子2から入力されるクロック信号を増幅して相補出力を得るクロックアンプ11からの相補出力が入力される。EX-OR回路7には、遅延回路10の出力とD-F/F5のQ出力とが入力される。一方、EX-OR回路5には、後段のD-F/F6のD入力とQ出力とが入力される。また、これら両EX-OR回路7、8の出力は、加算器9に入力され、この加算器9の出力が位相比較回路の出力端子3に出力される。

【0007】次に、図6のタイミングチャートを参照して、図5の位相比較回路の動作を説明する。先ず、前段のD-F/F5により、入力端子1から入力したNRZデータ信号（a）をクロックアンプ11からの正転（非反転）クロック信号（b）で識別する。入力端子1から入力したデータ信号を、上述の如く遅延回路10でD-F/F5の内部遅延時間と同一遅延させた遅延データ信号（f）とD-F/F5の出力信号（c）とをEX-OR7に入力して、遅延データ信号（f）とD-F/F5の出力信号（c）の位相差、即ち入力データ信号（a）の立ち上がりと正転クロック信号（b）の立ち上がりの位相差に応じた比較パルス信号（g）を出力する。

【0008】ここで、遅延回路10を使用する理由は、入力データ信号の中央位置に正転クロック信号（b）の立ち上がりがあった最適位相ポイント時に、EX-OR

7の出力である比較パルス信号の幅をクロック半周期分とするためである。これにより、比較パルス信号幅の変化は、最適位相ポイントを中心とすることができる。遅延回路10は、例えば周知の遅延線、RC回路等で構成可能である。ここで、入力データ信号(a)に対して正転クロック(CLK)信号(b)の位相が進んでいる場合のタイミングチャートを図6(B)に示す。一方、クロック信号の移相が遅れている場合を図6(C)に示す。

【0009】次に、図6(B)に示す如く、入力データ信号(a)に対してクロック信号(b)の位相が進んでいる場合には、EX-OR7の出力である比較パルス信号(g)は、そのパルス幅が広くなる。この位相比較回路を図4の回路に適用すると、フィルタ105の出力は、高レベルとなる。一方、図6(C)に示す如く、入力データ信号(a)に対して正転クロック信号(b)の位相が遅れた状態では、EX-OR7の出力である比較パルス(g)は、そのパルス幅が狭くなる。従って、この位相比較回路を図4の回路に適用すると、フィルタ105の出力は、低レベルである。

【0010】次に、前段のD-F/F5の出力(c)を後段のD-F/F6に入力し、クロックアンプ11からの反転クロック信号(d)で識別する。そして、EX-OR8に前段のD-F/F5の出力信号(c)と後段のD-F/F6の出力信号(e)を入力する。ここで、前段のD-F/F5の出力信号と後段のD-F/F6の出力信号の位相差は、クロック(b)の半周期分であり、常に一定であるため、EX-OR8は比較パルス信号の最適位相ポイントに相当する一定幅の基準パルス信号

(h)を出力する。そして、比較パルス信号と反転した基準パルス信号を加算器9で加算した信号(i)、即ち入力データ信号(a)と正転クロック信号(b)の位相差に相当する電圧信号を出力端子3に出力する。

【0011】

【発明が解決しようとする課題】上述した従来の位相比較器の設計パラメータである位相比較回路利得は、入力データ信号と正転クロック信号の位相差[rad]の変化に対する、加算器の平均値電圧の変化量[V]である。そのため、入力データ信号の中央位置に正転クロック信号の立ち上がり合った最適位相ポイント時の加算器9の出力である(図6(A)中の(i))の平均値を0[V]とし、EX-OR7出力(図6(A)中の(g))の平均値をA[V]、EX-OR8出力(図6(A)中の(h))の平均値をA[V]と定義する。そこで、最適位相状態からクロックが $-\pi$ [rad]移動したときの加算器出力平均値は、 $(2 \times A) - A = A$ [V]、クロックが $+\pi$ [rad]移動したときの加算器出力平均値は $0 - A = -A$ [V]であるため、位相比較回路利得は $(2 \times A) / 2\pi = A / \pi$ [V/rad]で定義される利得しか得ることができないという課題が

あった。

【0012】

【発明の目的】従って、本発明の目的は、従来の位相比較器と比較して利得の高い位相比較回路を提供することである。

【0013】

【課題を解決するための手段】本発明の位相比較回路は、データ入力端子D、クロック端子Cおよび出力端子Qを有するD型フリップフロップを使用し、データ入力端子Dおよびクロック端子Cに入力されるデータ入力信号およびクロック信号の位相差に対応する出力を得る位相比較回路であって、データ入力信号を第1遅延回路で遅延させた遅延データ入力信号およびD型フリップフロップの出力が入力される第1排他論理和回路と、D型フリップフロップの出力およびデータ入力信号を第2遅延回路で遅延させた遅延データ入力信号が入力される第2排他論理和回路とを備え、これら両路排他論理和回路の出力を加算して出力を得る。

【0014】本発明の実施形態例によると、第1遅延回路は、D型フリップフロップの内部遅延時間に対応する遅延時間を有する。また、第2遅延回路は、D型フリップフロップの内部遅延時間とクロック信号の1周期との和に対応する遅延時間を有する。また、第2遅延回路は、第1遅延回路の出力端に接続され、クロック信号の1周期に対応する遅延時間を有する。更に、D型フリップフロップのクロック端子には、クロックアンプを介してクロック信号を入力する。

【0015】

【発明の実施の形態】以下、本発明による位相比較回路の好適実施形態例の構成および動作を、添付図を参照して詳細に説明する。尚、従来技術の回路素子と対応する素子には、便宜上、同一参照符号を使用することとする。

【0016】まず、図1は、本発明による位相比較回路の好適実施形態例の構成を示すブロック図である。この位相比較回路は、入力端子1、クロック端子2、出力端子3、4、D-F/F5、1対(即ち、第1および第2)の排他的論理和回路(EX-OR)7、8、加算器9、1対の遅延回路10、12およびクロックアンプ11より構成される。遅延回路10は、D-F/F5の内部遅延時間に相当する遅延時間を有する。また、遅延回路12は、クロック1周期分に相当する遅延時間を有する。

【0017】入力端子1は、D-F/F5のD端子と第1遅延回路10の一端に接続されている。クロック入力端子2は、クロックアンプ11を介してD-F/F5のクロック端子Cに接続される。D-F/F5のQ出力端子は、出力端子4に接続される。遅延回路12の一端は、遅延回路10の出力端に接続される。第1EX-OR7の入力端は、遅延回路10の他端とD-F/F5の

Q出力端子(又は、出力端子4)に接続される。一方、第2 EX-OR 8の入力端は、D-F/F 5のQ出力端子と遅延回路12の出力端とに接続される。これら両 EX-OR 7、8の出力は、加算器9で加算され、出力端子3に加算出力が得られるよう構成されている。

【0018】次に、図1の位相比較回路の動作を、図2および図3を参照して説明する。ここで、図2は、図1に示す位相比較回路の各部のタイミングチャートを示す。また、図3は、本発明と従来の位相比較回路の動作特性比較図である。まず、EX-OR 7の出力である比較パルス信号(g)の生成は、上述した従来回路と同様に行う。次に、遅延回路10の出力信号(f)を遅延回路12で更にクロック1周期分だけ遅延させた遅延データ信号(j)を生成する。これら遅延回路10、12は、周知の遅延線、RC回路等で構成可能である。この遅延データ信号(j)とD-F/F 5の出力信号(c)をEX-OR 8に入力する。これにより、遅延回路12の出力信号(j)とD-F/F 5の出力信号(c)の位相差、即ち入力データ信号(a)の立ち下がり正転クロック信号(b)の立ち上がりの位相差に相当する第2の比較パルス信号(h)をEX-OR 8から出力する。

【0019】入力データ信号(a)に対して正転(非反転)クロック信号(b)の位相が進んだ状態を図2

(B)に示し、入力データ信号(a)に対して正転クロック信号(b)の位相が遅れている状態を図2(C)に示す。まず、入力データ信号に対してクロック信号の位相が進んでいる状態について説明する。この状態では、図2(B)中の比較パルス信号(g)および(h)に示す如く、比較パルス信号(g)のパルス幅は広くなり、第2の比較パルス信号(h)のパルス幅は狭くなる。一方、入力データ信号(a)に対して正転クロック信号(b)の位相が遅れた状態では、図2(C)中の比較パルス信号(g)および(h)に示す如く、比較パルス信号(g)のパルス幅は狭くなり、第2比較パルス信号(h)のパルス幅は広くなる。

【0020】次に、本発明の位相比較回路と従来の位相比較回路との比較を数値例で示す。入力データ信号

(a)の中央位置に正転クロック信号(b)の立ち上がりが合った最適位相ポイント時の本発明と従来例の加算器9の出力である図6(A)の(i)と図2(A)の(i)の平均値を0とし、EX-OR 7の出力である図6(A)の(g)と図2(A)の(g)の平均値をA、EX-OR 8の出力図6(A)の(h)と図2(A)の(h)の平均値をAと定義する。クロックが1/2ビット進んだ状態では、従来例のEX-OR 7出力である図6(B)の(g)の平均値は、 $3 \times A / 2$ 、EX-OR 8の出力である図6(B)の(h)の平均値はAのままであるため、加算器9の出力である図6(B)の(i)の平均値は $(3 \times A / 2) - A = A / 2$ となる。一方、本発明のEX-OR 7の出力である図2(B)(g)の

平均値は、 $3 \times A / 2$ 、EX-OR 8の出力である図2(B)の(h)の平均値は $A / 2$ となる。そのため、加算器9の出力である図2(B)の(i)の平均値は、 $(3 \times A / 2) - (A / 2) = A$ となる。

【0021】同様に、クロックが1/2ビット遅れた状態について検討する。この場合には、従来例の加算器9の出力である図6(C)の(g)の平均値は、 $(A / 2) - A = -A / 2$ となる。一方、本発明における加算器9の出力である図2(C)の(g)の平均値は $(A / 2) - (3 \times A / 2) = -A$ となる。このため、従来と比較して、入力データ信号(a)と正転クロック信号(b)の位相差によるパルス幅の変化が2倍となる。従って、位相比較回路の利得は2倍となる。この状態を図3に、入力データ信号とクロック信号の位相差を横軸にし、加算器9の出力電圧の平均値を縦軸とする位相比較回路の出力特性として示す。

【0022】以上、本発明による位相比較回路の好適実施形態例の構成および動作を詳述した。しかし、斯かる実施形態例は、本発明の単なる例示に過ぎず、何ら本発明を限定するものではないことに留意するべきである。本発明の要旨を逸脱することなく、特定用途に応じて種々の変形変更が可能であることが、当業者には容易に理解できよう。例えば、遅延回路10、12は、上述の実施形態例の如く直列接続することなく、並列接続しても良い。その場合には、遅延回路12は、D型フリップフロップの内部遅延時間とクロック信号の1周期との和に対応する遅延時間を有することとする。

【0023】

【発明の効果】以上の説明から理解される如く、本発明の位相比較回路によると、従来技術と比較し入力データ信号と正転クロック信号の位相差に対するパルス幅の変化が2倍となるため、位相比較回路の利得は2倍となるという実用上の顕著な効果が得られる。

【図面の簡単な説明】

【図1】本発明による位相比較回路の好適実施形態例の構成を示すブロック図である。

【図2】図1に示す位相比較回路の各部動作を示すタイミングチャートであり、(A)、(B)および(C)は、夫々データ入力信号に対しクロック信号が最適状態、位相進み状態および位相遅れ状態のタイミングチャートを示す。

【図3】本発明および従来の位相比較回路の出力特性比較図である。

【図4】PLL方式の一般的なクロック・データ識別再生回路のブロック図である。

【図5】従来の位相比較回路のブロック図である。

【図6】図5の位相比較回路の各部動作を示す、図2と同様のタイミングチャートである。

【符号の説明】

1 データ信号入力端子

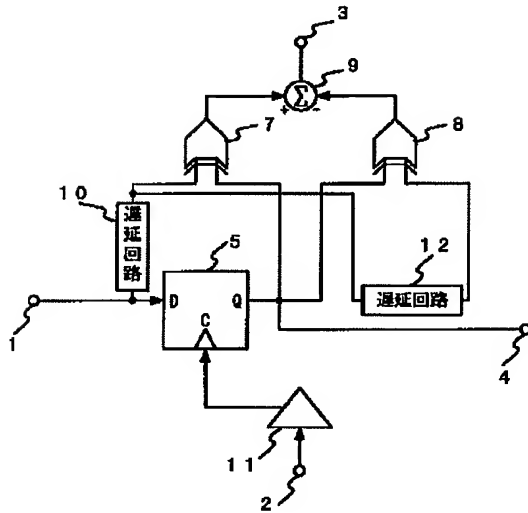
(5)

特開2001-196907

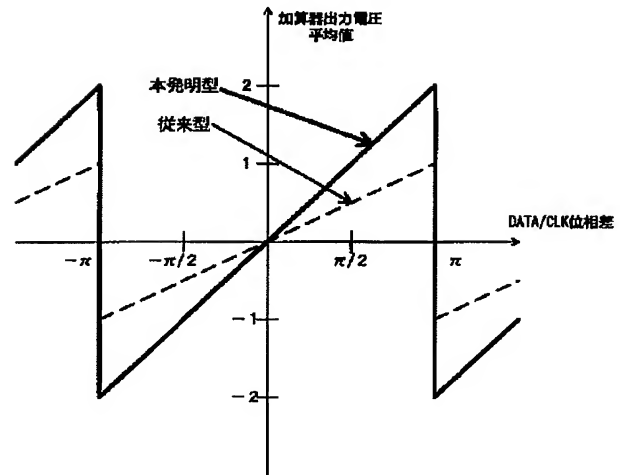
- 2 クロック信号入力端子
 3、4 出力端子
 5 D型フリップフロップ (D-F/F)
 7 第1排他論理和回路 (EX-OR)

- * 8 第2排他論理和回路 (EX-OR)
 9 加算器
 10、12 遅延回路
 * 11 クロックアンプ

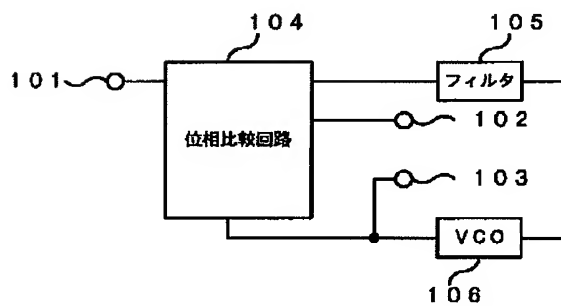
【図1】



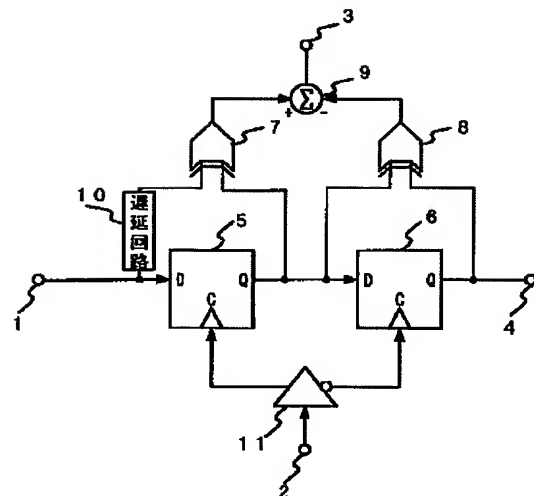
【図3】



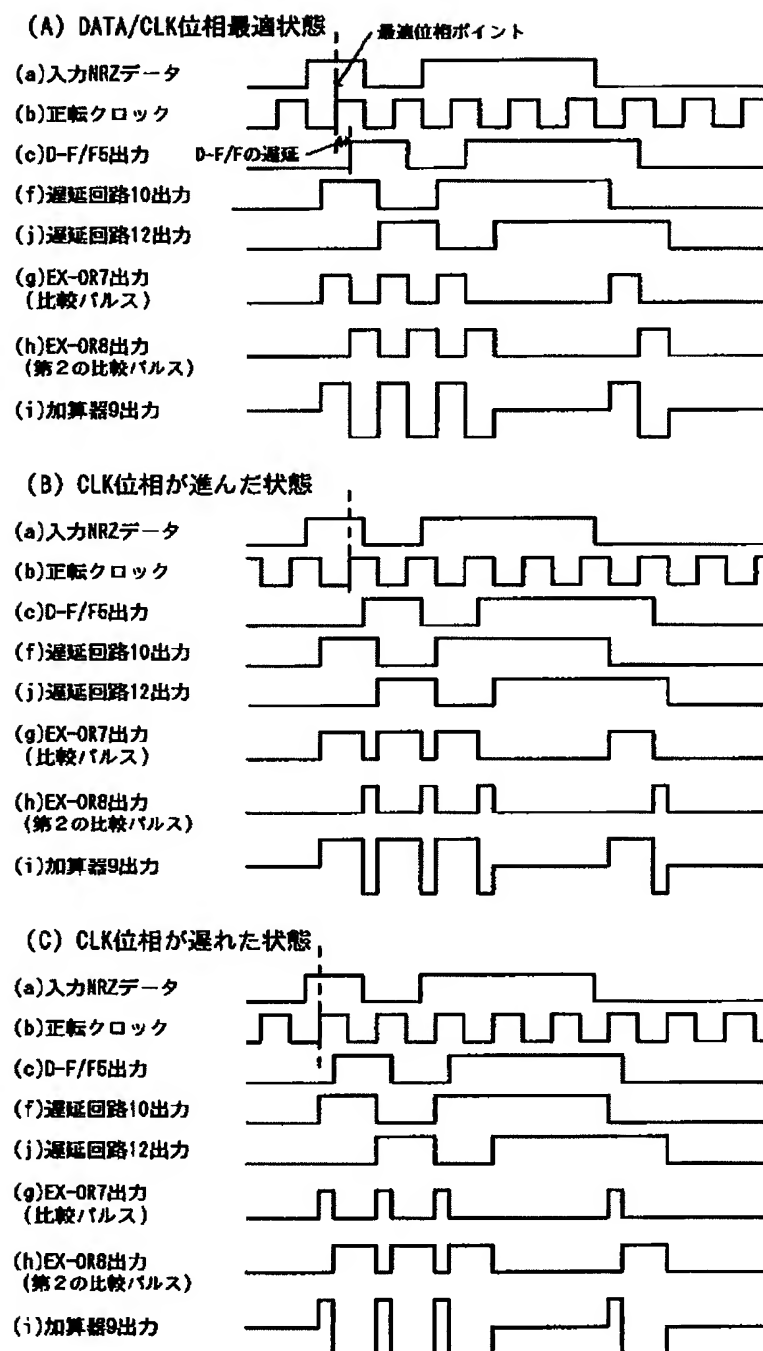
【図4】



【図5】



【図2】



【図6】

